

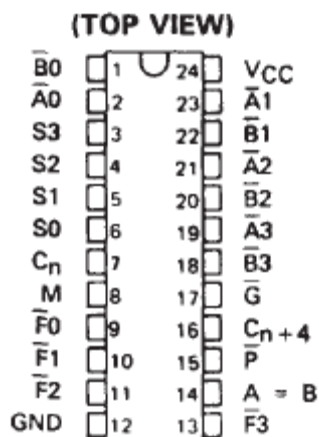
ΑΣΚΗΣΗ 8**ΤΙΤΛΟΣ ΕΡΓΑΣΤΗΡΙΑΚΗΣ ΑΣΚΗΣΗΣ: ΑΡΙΘΜΗΤΙΚΕΣ & ΛΟΓΙΚΕΣ ΠΡΑΞΕΙΣ****A. Η ΑΡΙΘΜΗΤΙΚΗ ΛΟΓΙΚΗ ΜΟΝΑΔΑ (ALU)****Θεωρητικό Μέρος**

Η **Αριθμητική Λογική Μονάδα (Arithmetic Logic Unit - ALU)** είναι ένα ψηφιακό συνδυαστικό κύκλωμα που εκτελεί αριθμητικούς και λογικούς υπολογισμούς. Η ALU είναι θεμελιώδες δομικό στοιχείο της κεντρικής μονάδας επεξεργασίας του υπολογιστή. Μια ALU επεξεργάζεται δυαδικούς αριθμούς και δυαδικές λέξεις, δηλαδή πληροφορίες που εν γένει κωδικοποιούνται με μια σειρά από 0 και 1.

Οι περισσότερες ALU μπορούν να εκτελούν τουλάχιστον τις παρακάτω πράξεις:

- Ακέραιες αριθμητικές πράξεις (πρόσθεση, αφαίρεση και μερικές φορές πολ/σμο και διαίρεση, αν και η υλοποίηση τους είναι ακριβή).
- Λογικές πράξεις (και, ή, όχι)

Το ολοκληρωμένο κύκλωμα (Ο.Κ.) 74181 αποτελεί μια ALU, από τις πρώτες που υλοποιήθηκαν και χρησιμοποιήθηκαν στους πρώτους μ-υπολογιστές. Είναι ένα Ο.Κ. μεσαίας κλίμακας, το οποίο μπορεί να πραγματοποιήσει 16 αριθμητικές πράξεις πάνω σε δύο τετράμπιτους δυαδικούς αριθμούς. Επίσης μπορεί να εκτελέσει και 16 λογικές πράξεις πάνω σε αυτούς και να συγκρίνει τα μέτρα τους. Στα Σχήματα 8.1 και 8.2 φαίνεται το λογικό σύμβολο του 74181 και οι αριθμητικές και λογικές λειτουργίες του.



Σχήμα 8.1 Το ολοκληρωμένο κύκλωμα (Ο.Κ.) 74181.

SELECTION				ACTIVE-LOW DATA		
				M = H	M = L; ARITHMETIC OPERATIONS	
S3	S2	S1	S0	LOGIC FUNCTIONS	C _n = L (no carry)	C _n = H (with carry)
L	L	L	L	$F = \overline{A}$	$F = A \text{ MINUS } 1$	$F = A$
L	L	L	H	$F = \overline{AB}$	$F = AB \text{ MINUS } 1$	$F = AB$
L	L	H	L	$F = \overline{A} + B$	$F = \overline{AB} \text{ MINUS } 1$	$F = \overline{AB}$
L	L	H	H	$F = 1$	$F = \text{MINUS } 1 \text{ (2's COMP)}$	$F = \text{ZERO}$
L	H	L	L	$F = \overline{A + B}$	$F = A \text{ PLUS } (A + \overline{B})$	$F = A \text{ PLUS } (A + \overline{B}) \text{ PLUS } 1$
L	H	L	H	$F = \overline{B}$	$F = AB \text{ PLUS } (A + \overline{B})$	$F = AB \text{ PLUS } (A + \overline{B}) \text{ PLUS } 1$
L	H	H	L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H	$F = A + \overline{B}$	$F = A + \overline{B}$	$F = (A + \overline{B}) \text{ PLUS } 1$
H	L	L	L	$F = \overline{AB}$	$F = A \text{ PLUS } (A + B)$	$F = A \text{ PLUS } (A + B) \text{ PLUS } 1$
H	L	L	H	$F = A \oplus B$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L	$F = B$	$F = \overline{AB} \text{ PLUS } (A + B)$	$F = \overline{AB} \text{ PLUS } (A + B) \text{ PLUS } 1$
H	L	H	H	$F = A + B$	$F = (A + B)$	$F = (A + B) \text{ PLUS } 1$
H	H	L	L	$F = 0$	$F = A \text{ PLUS } A^\dagger$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H	$F = \overline{AB}$	$F = AB \text{ PLUS } A$	$F = AB \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L	$F = AB$	$F = \overline{AB} \text{ PLUS } A$	$F = \overline{AB} \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H	$F = A$	$F = A$	$F = A \text{ PLUS } 1$

[†] Each bit is shifted to the next more significant position.

SELECTION				ACTIVE-HIGH DATA		
				M = H	M = L; ARITHMETIC OPERATIONS	
S3	S2	S1	S0	LOGIC FUNCTIONS	C _n = H (no carry)	C _n = L (with carry)
L	L	L	L	$F = \overline{A}$	$F = A$	$F = A \text{ PLUS } 1$
L	L	L	H	$F = \overline{A + B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
L	L	H	L	$F = \overline{AB}$	$F = A + \overline{B}$	$F = (A + \overline{B}) \text{ PLUS } 1$
L	L	H	H	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMPL)}$	$F = \text{ZERO}$
L	H	L	L	$F = \overline{AB}$	$F = A \text{ PLUS } \overline{AB}$	$F = A \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	L	H	$F = \overline{B}$	$F = (A + B) \text{ PLUS } \overline{AB}$	$F = (A + B) \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	H	L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H	$F = \overline{AB}$	$F = \overline{AB} \text{ MINUS } 1$	$F = \overline{AB}$
H	L	L	L	$F = \overline{A + B}$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H	L	L	H	$F = A \oplus B$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L	$F = B$	$F = (A + \overline{B}) \text{ PLUS } AB$	$F = (A + \overline{B}) \text{ PLUS } AB \text{ PLUS } 1$
H	L	H	H	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H	H	L	L	$F = 1$	$F = A \text{ PLUS } A^\dagger$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H	$F = A + \overline{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L	$F = A + B$	$F = (A + \overline{B}) \text{ PLUS } A$	$F = (A + \overline{B}) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

[†] Each bit is shifted to the next more significant position.

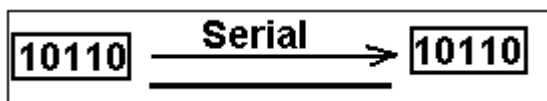
Σχήμα 8.2 Οι αριθμητικές και λογικές λειτουργίες του O.K. 74181.

Β. ΣΕΙΡΙΑΚΗ ΠΡΟΣΘΕΣΗ

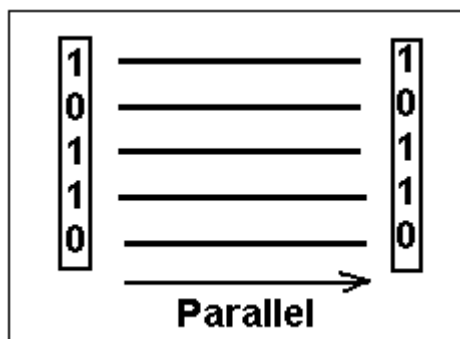
Θεωρητικό Μέρος

Οι σειριακές λειτουργίες είναι πιο αργές αλλά χρειάζονται λιγότερα κυκλωματικά στοιχεία και καλώδια. Το πλεονέκτημα αυτό της σειριακής μετάδοσης αξιοποιείται στα κυκλώματα των σειριακών αθροιστών. Στα κυκλώματα αυτά καταχωρητές ολίσθησης συνδυάζονται με πλήρεις αθροιστές (Full Adders) για να υλοποιήσουν τις αριθμητικές λογικές μονάδες (Arithmetic Logic Units - ALUs) των υπολογιστικών συστημάτων. Επίσης, η σειριακή μετάδοση χρησιμοποιείται στο modem και το mouse (ποντίκι).

Στα Σχήματα 8.3 και 8.4 φαίνονται οι δύο τρόποι μετάδοσης ενός πενταψήφιου δυαδικού αριθμού ή - όπως λέγεται - μιας δυαδικής λέξης, σε σειρά (serial) και παράλληλα (parallel).

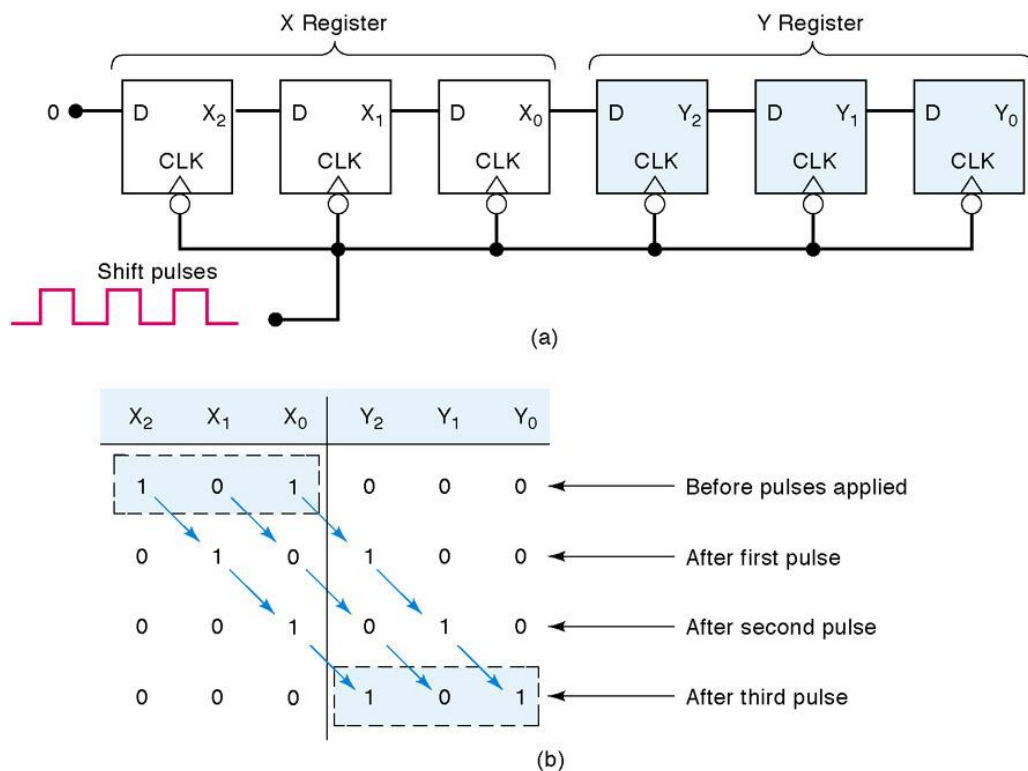


Σχήμα 8.3 Στη σειριακή μετάδοση ένας πολυψήφιος αριθμός (εδώ ο 10110) μεταφέρεται μέσα από μια γραμμή (μεταφοράς δεδομένων) από ένα σύστημα σε ένα άλλο, αρχίζοντας από το λιγότερο σημαντικό ψηφίο και συνεχίζοντας μέχρι το πιο σημαντικό ψηφίο.



Σχήμα 8.4 Στη παράλληλη μετάδοση όλα τα bit του πολυψήφιου αριθμού (εδώ του 10110) μεταφέρονται ταυτόχρονα μέσα από πολλές γραμμές (εδώ 5) στο άλλο σύστημα.

Συνήθως οι ψηφιακές λέξεις είναι αποθηκευμένες σε καταχωρητές και επιθυμείται η μεταφορά τους σε έναν άλλο καταχωρητή. Στο Σχήμα 8.5, φαίνεται η σειριακή μετάδοση της λέξης 101 από τον καταχωρητή X στον καταχωρητή Y. Η μεταφορά κάθε ψηφίου γίνεται τη χρονική στιγμή του αρνητικού μέτωπου του παλμού του ρολογιού.

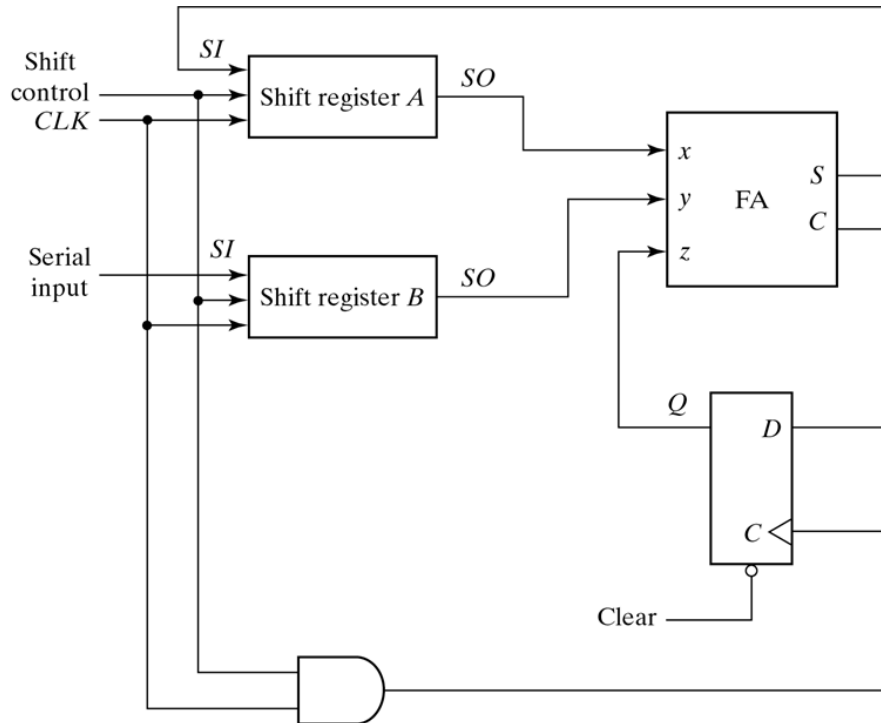


Σχήμα 8.5 Σειριακή μετάδοση της λέξης 101 από τον καταχωρητή X στον καταχωρητή Y. Η μεταφορά κάθε ψηφίου γίνεται τη χρονική στιγμή του αρνητικού μέτωπου του παλμού του ρολογιού. Απαιτούνται 3 παλμοί για την μεταφορά της λέξης.

Σειριακή Πρόσθεση

Αν και η σειριακή πρόσθεση είναι πιο αργή από την παράλληλη, χρησιμοποιείται στις υπολογιστικές μονάδες λόγω του χαμηλότερου κόστους των κυκλωμάτων που την υλοποιούν. Για την πρόσθεση πολυψηφίων αριθμών, πχ δύο τετραψηφίων αριθμών, δεν χρησιμοποιείται παράλληλος αθροιστής με 4 πλήρεις αθροιστές, αλλά ένας μόνον πλήρης αθροιστής. Ο πλήρης αθροιστής, που είναι ένα απλό συνδυαστικό κύκλωμα φτιαγμένο με πύλες, αθροίζει καταρχήν τα λιγότερο σημαντικά ψηφία των δύο προσθετέων και συνεχίζει με τα υπόλοιπα, δηλαδή επαναλαμβάνεται η λειτουργία του τόσες φορές όσα είναι τα ψηφία των δυαδικών αριθμών. Το μέγεθος του αριθμού μπορεί να είναι μεγάλο, αρκεί να αντιστοιχεί στο μήκος του καταχωρητή που θα αποθηκεύσει το αποτέλεσμα. Οι προσθετέοι είναι καταχωρημένοι σε δύο καταχωρητές και το αποτέλεσμα της πρόσθεσης μπορεί να αποθηκεύεται σε έναν τρίτο καταχωρητή ή να αποθηκεύεται σε έναν από τους καταχωρητές των προσθετέων. Επίσης, αν υπάρχει κρατούμενο αποθηκεύεται σε ένα D FF, ώστε να ληφθεί υπόψη στην πρόσθεση των bit με την αμέσως μεγαλύτερη αξία.

Αν το αποτέλεσμα αποθηκεύεται στον καταχωρητή A του 1^{ου} προσθετέου, όπως φαίνεται στο Σχήμα 8.6, τότε στον καταχωρητή B μπορεί να φορτωθεί ένας 3^{ος} αριθμός και να προστεθεί στο άθροισμα των δύο πρώτων. Με τη γραμμή ελέγχου "shift control" ελέγχεται η λήξη της διαδικασίας της πρόσθεσης.



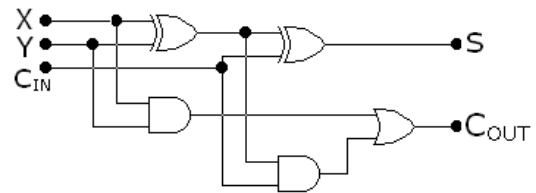
Σχήμα 8.6 Σειριακός αθροιστής

Ο Πλήρης Αθροιστής (Full Adder)

Ο FA προσθέτει τα 3 bit των τριών εισόδων του (X, Y, Z) και στην έξοδό του δίνει το άθροισμα και το κρατούμενο. Η τρίτη είσοδος Z ή C_{IN} είναι απαραίτητη για να λαμβάνει υπόψη το κρατούμενο από την πρόσθεση των bit με την αμέσως χαμηλότερη αξία. Ο Πίνακας Αληθείας και το κύκλωμα του FA φαίνονται παρακάτω:

Πίνακας Αληθείας Πλήρη Αθροιστή

X	Y	C_{IN}	S	C_{OUT}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

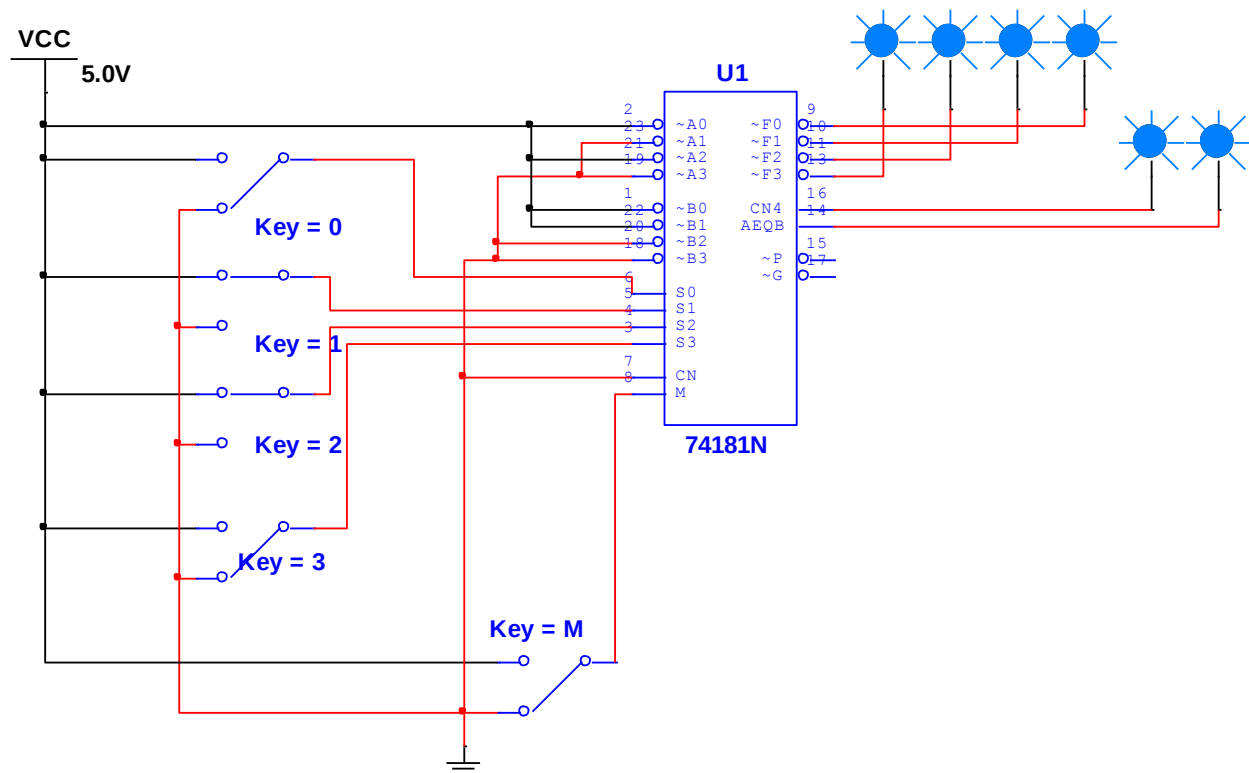


S: ΑΘΡΟΙΣΜΑ
 C_{IN} : ΚΡΑΤΟΥΜΕΝΟ ΕΙΣΟΔΟΥ
 C_{OUT} : ΚΡΑΤΟΥΜΕΝΟ ΕΞΟΔΟΥ

Σχήμα 8.7 Πίνακας Αληθείας και Λογικό Κύκλωμα Πλήρη Αθροιστή.

Πειραματικό Μέρος

Μετά την υλοποίηση του κυκλώματος του Σχήματος 8.8, ελέγξτε τις αριθμητικές και λογικές πράξεις που εκτελεί το κύκλωμα.



Σχήμα 8.8. Κύκλωμα στο EWB για τον έλεγχο της λειτουργίας του Ο.Κ. 74181.

Έλεγχος των λογικών λειτουργιών του 74181

Με τη βοήθεια των Πινάκων του Σχήματος 8.2 (ACTIVE HIGH DATA), συμπληρώστε τα προβλεπόμενα αποτελέσματα στον παρακάτω Πίνακα. Τρέξτε το πρόγραμμα προσομοίωσης multisim για το κύκλωμα του Σχήματος 8.8. Καταγράψτε τα Μετρούμενα Αποτελέσματα στον παρακάτω Πίνακα και συγκρίνετε με τα προβλεπόμενα.

Επιλογή Εντολής				Έξοδοι με M=1 (Λογική Λειτουργία) και A=0101 και B=0011							
				Προβλεπόμενα Αποτελέσματα				Μετρούμενα Αποτελέσματα			
S3	S2	S1	S0								
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

Έλεγχος των αριθμητικών λειτουργιών του 74181

Με τη βοήθεια των Πινάκων του Σχήματος 8.2 (ACTIVE HIGH DATA), συμπληρώστε τα προβλεπόμενα αποτελέσματα στον παρακάτω Πίνακα. Έπειτα τρέξτε το πρόγραμμα προσομοίωσης multisim για το κύκλωμα του Σχήματος 8.8, καταγράψτε τα Μετρούμενα Αποτελέσματα στον παρακάτω Πίνακα και συγκρίνετε με τα προβλεπόμενα.

Επιλογή Εντολής				Έξοδοι με M=0 (Αριθμητική Λειτουργία) και A=0101 και B=0011							
				Προβλεπόμενα Αποτελέσματα				Μετρούμενα Αποτελέσματα			
S3	S2	S1	S0								
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

Έλεγχος της λειτουργίας «Συγκριτή»

Με τη βοήθεια του παρακάτω πίνακα, συμπληρώστε τα προβλεπόμενα αποτελέσματα στον τελευταίο Πίνακα της άσκησης (CN στη θέση H), ACTIVE HIGH DATA. Έπειτα τρέξτε το πρόγραμμα προσομοίωσης multisim για το κύκλωμα του Σχήματος 8.8 με την είσοδο M στη θέση L και τους διακόπτες S στις θέσεις LHHH και συγκρίνετε αν τα μετρούμενα αποτελέσματα συμπίπτουν με τα προβλεπόμενα.

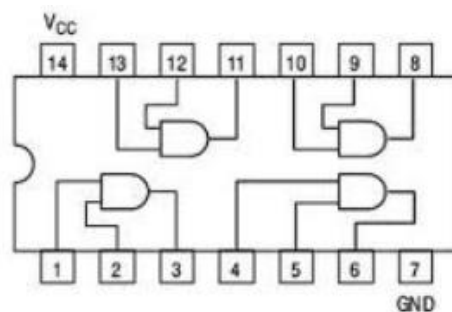
INPUT C_n	OUTPUT C_{n+4}	ACTIVE-LOW DATA (FIGURE 1)	ACTIVE-HIGH DATA (FIGURE 2)
H	H	$A > B$	$A \leq B$
H	L	$A < B$	$A > B$
L	H	$A > B$	$A < B$
L	L	$A \leq B$	$A > B$

Είσοδοι A3 A2 A1 A0	Είσοδοι B3 B2 B1 B0	Προβλεπόμενα Αποτελέσματα		Μετρούμενα Αποτελέσματα	
		A=B	CN4	A=B	CN4
0010	0010				
0011	0100				
1010	1001				
1111	1111				

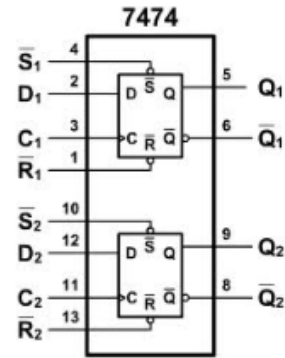
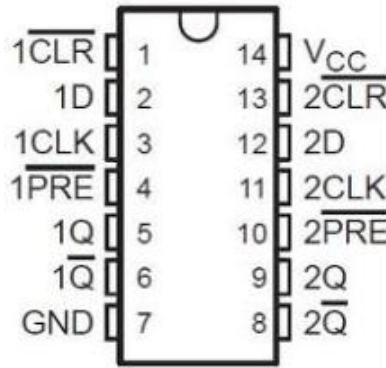
Σειριακός Αθροιστής

- Να πραγματοποιήσετε το κύκλωμα του Σχήματος 8.11 με τα εξής ICs:
 - Το ολοκληρωμένο κύκλωμα 7408 που περιέχει 4 πύλες AND δύο εισόδων
 - Το ολοκληρωμένο κύκλωμα 7474 που περιέχει δύο D-FFs με PRESET και CLEAR.
 - Δύο ολοκληρωμένα κυκλώματα 74194 που το καθένα είναι ένας αμφίδρομος καταχωρητής ολίσθησης με παράλληλη φόρτωση 4 bits.
 - Ένα κύκλωμα FA.
- Έπειτα, να ελέγξετε τη λειτουργία του.

Στα παρακάτω Σχήματα φαίνονται τα ICs και δίνονται οι σχετικές πληροφορίες.



Σχήμα 8.9 Το ολοκληρωμένο κύκλωμα 7408 που περιέχει 4 πύλες AND δύο εισόδων



Σχήμα 8.10 Το ολοκληρωμένο κύκλωμα 7474 που περιέχει δύο D-FFs με PRESET και CLEAR.

Ο Αμφίδρομος Καταχωρητής ολίσθησης με παράλληλη φόρτωση

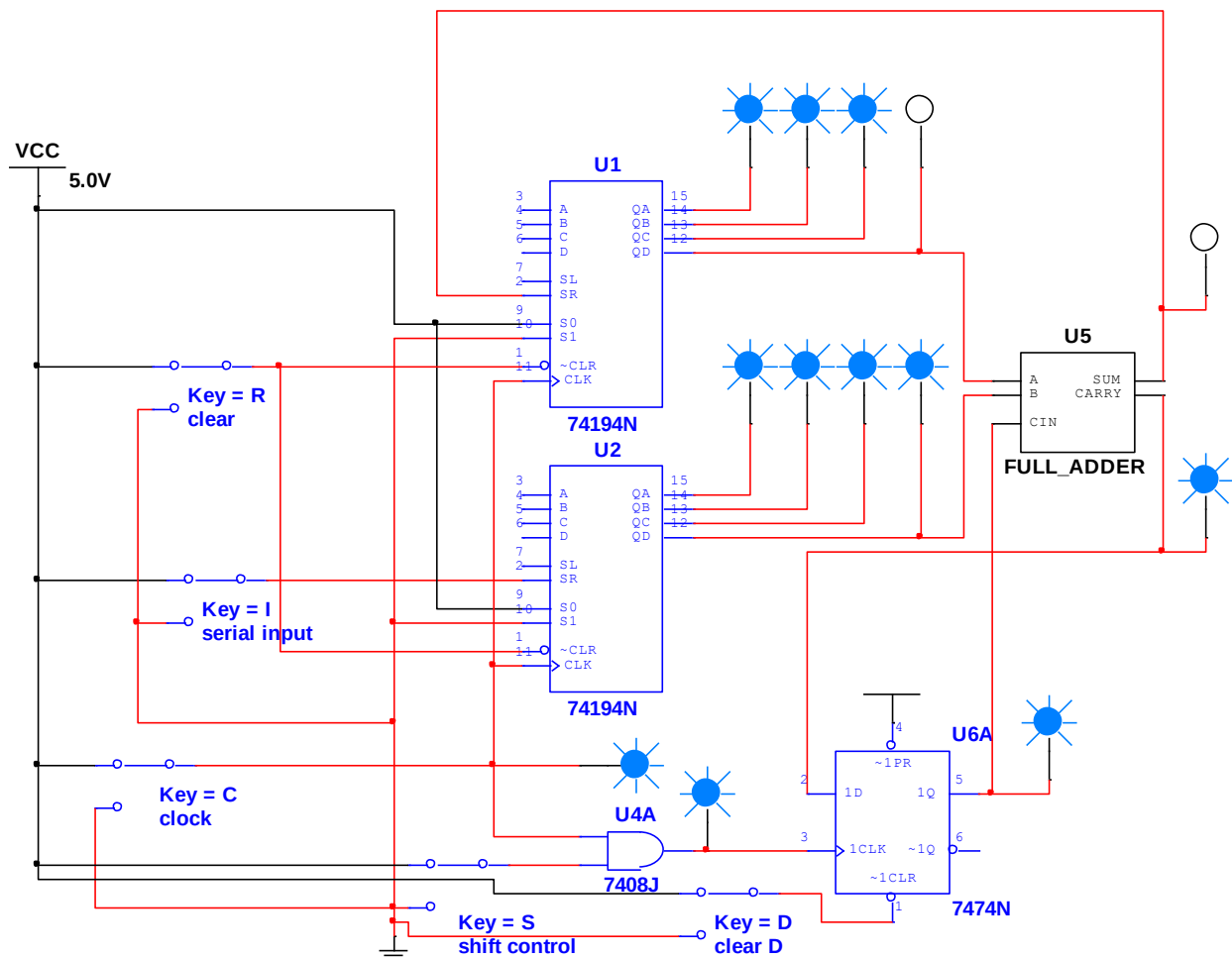
Ο Αμφίδρομος Καταχωρητής ολίσθησης με παράλληλη φόρτωση 4-bit είναι ένας καταχωρητής με τα εξής χαρακτηριστικά:

1. Δυνατότητα μηδενισμού των εξόδων του καταχωρητή: clear control
2. Δυνατότητα συγχρονισμού με το υπόλοιπο κύκλωμα: clock input
3. Δυνατότητα ελέγχου δεξιάς/αριστερής ολίσθησης: shift-right control, shift-left control
4. Δυνατότητα παράλληλης φόρτωσης: parallel-load control
5. 4 παράλληλες γραμμές εισόδου και 4 εξόδου
6. Δυνατότητα ελέγχου ώστε να μένει το περιεχόμενο του καταχωρητή αναλλοίωτο
7. Σειριακή είσοδο για δεξιά ολίσθηση
8. Σειριακή είσοδο για αριστερή ολίσθηση

Οι λειτουργίες του καταχωρητη δίνονται στον παρακάτω Πίνακα:

S_1S_0	Λειτουργίες
00	Δεν αλλάζει το περιεχόμενο του καταχωρητή
01	Δεξιά ολίσθηση: Με 4 παλμούς clk φορτώνεται η 4-bit πληροφορία
10	Αριστερή ολίσθηση: Με 4 παλμούς clk φορτώνεται η 4-bit πληροφορία
11	Με έναν παλμό clk φορτώνεται η 4-bit πληροφορία

Σημείωση: Η είσοδος clear, όταν ενεργοποιείται, θέτει τον καταχωρητή στην κατάσταση «όλες οι εξοδοι 0». Οι είσοδοι του O.K. όταν δεν είναι συνδεδεμένες σε κύκλωμα βρίσκονται σε λογικό 1. Έτσι, στη περίπτωση που το chip χρησιμοποιείται σε σύνθετα κυκλώματα, είναι χρήσιμο οι είσοδοι αυτές να γειώνονται όταν δεν χρησιμοποιούνται.



Σχήμα 8.11 Το κύκλωμα του Σειριακού Αθροιστή στο EWB.

Σημείωση: Το κύκλωμα προσθέτει (με τέσσερις παλμούς) το περιεχόμενο των δύο καταχωρητών και αποθηκεύει το περιεχόμενο στον U1. Συγχρόνως αποθηκεύει σειριακά έναν νέο τετράμπιτο αριθμό στον U2. Με την ολοκλήρωση των τεσσάρων παλμών πρέπει να μηδενίζεται το D-FF (U6A -7474N).

Γραπτή άσκηση

1. Τι είναι το O.K. 74181;
2. Εξηγήστε τη λειτουργία του κυκλώματος του Σχήματος 8.8.
3. Να γραφούν οι πίνακες των αποτελεσμάτων.
4. Τα προβλεπόμενα αποτελέσματα ήταν ίδια με τα μετρούμενα;
5. Εξηγήστε τη χρήση όλων των διακοπών του κυκλώματος του Σχήματος 8.11
6. Εξηγήστε τη λειτουργία όλων των ICs του κυκλώματος.
7. Περιγράψτε τη διαδικασία που ακολουθήσατε για να ελέγξετε τη λειτουργία του κυκλώματος.